

PATENT 7-3-02  
81754.0072

Express Mail Label No. EL 713 626 835 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Kazuo KOBAYASHI

Serial No: Not assigned

Filed: March 1, 2002

For: SEMICONDUCTOR INTEGRATED CIRCUIT FOR  
SUCCESSIVELY SCANNING LINES OF  
ELECTRODES OF AN IMAGE DISPLAY APPARATUS

Art Unit: Not assigned

Examiner: Not assigned

JCE21 U.S. PRO  
10/090483  
03/01/02

TRANSMITTAL OF PRIORITY DOCUMENT

Box PATENT APPLICATION

Assistant Commissioner for Patents

Washington, D.C. 20231

Dear Sir:

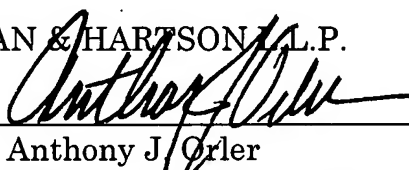
Enclosed herewith is a certified copy of Japanese patent application No. 2001-059045 which was filed March 2, 2001, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON, L.P.

Date: March 1, 2002

By:   
Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JCE21 U.S. PTO  
10/090483  
03/01/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 3月 2日

出 願 番 号  
Application Number:

特願2001-059045

出 願 人  
Applicant(s):

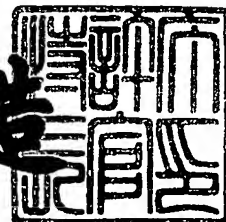
セイコーエプソン株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 9月25日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3088045

【書類名】 特許願

【整理番号】 J0082947

【提出日】 平成13年 3月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/00

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 小林 和男

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100093388

    【弁理士】

    【氏名又は名称】 鈴木 喜三郎

    【連絡先】 0266-52-3139

【選任した代理人】

    【識別番号】 100095728

    【弁理士】

    【氏名又は名称】 上柳 雅誉

【選任した代理人】

    【識別番号】 100107261

    【弁理士】

    【氏名又は名称】 須澤 修

【手数料の表示】

    【予納台帳番号】 013044

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及び画像表示装置

【特許請求の範囲】

【請求項 1】 2次元画像を表示する画像表示装置の複数の信号電極に複数の表示信号をそれぞれ供給し、前記画像表示装置の第1群の走査電極及び第2群の走査電極に走査信号を順次供給するための半導体集積回路であって、

画像データを入力して記憶する記憶手段と、

前記記憶手段に記憶されているデータに基づいて、前記複数の信号電極に供給すべき複数の表示信号を生成する表示信号生成手段と、

前記画像表示装置の走査タイミングを規定するクロック信号に基づいて、前記第1群の走査電極に供給すべき走査信号を順次生成する第1の走査信号生成手段と、

前記クロック信号に基づいて、前記第2群の走査電極に供給すべき走査信号を順次生成する第2の走査信号生成手段と、

前記クロック信号を発生すると共に、前記第1の走査信号生成手段と前記第2の走査信号生成手段とが所定の順序で走査信号を生成するように、前記第1の走査信号生成手段を制御するための第1の制御信号と前記第2の走査信号生成手段を制御するための第2の制御信号とを生成するタイミング制御手段と、  
を具備する半導体集積回路。

【請求項 2】 前記第1の走査信号生成手段が、前記クロック信号と前記第1の制御信号との論理積に基づいて、前記第1群の走査電極に供給すべき走査信号を生成し、

前記第2の走査信号生成手段が、前記クロック信号と前記第2の制御信号との論理積に基づいて、前記第2群の走査電極に供給すべき走査信号を生成することを特徴とする請求項1記載の半導体集積回路。

【請求項 3】 2次元画像を表示する画像表示装置の複数の信号電極に複数の表示信号をそれぞれ供給し、前記画像表示装置の第1群の走査電極及び第2群の走査電極に走査信号を順次供給するための半導体集積回路であって、

画像データを入力して記憶する記憶手段と、

前記記憶手段に記憶されているデータに基づいて、前記複数の信号電極に供給すべき複数の表示信号を生成する表示信号生成手段と、

前記画像表示装置の走査タイミングを規定するクロック信号を発生するタイミング制御手段と、

前記クロック信号と第 1 の設定電位とに基づいて、前記第 1 群の走査電極に供給すべき走査信号を順次生成する第 1 の走査信号生成手段と、

前記クロック信号と第 2 の設定電位とに基づいて、前記第 2 群の走査電極に供給すべき走査信号を順次生成する第 2 の走査信号生成手段と、  
を具備する半導体集積回路。

【請求項 4】 前記第 1 と第 2 の設定電位の内の一方が電源電位であり、他方が接地電位であることを特徴とする請求項 3 記載の半導体集積回路。

【請求項 5】 2 次元画像を表示する画像表示装置の複数の信号電極に複数の表示信号をそれぞれ供給し、前記画像表示装置の第 1 群の走査電極及び第 2 群の走査電極に走査信号を順次供給するための半導体集積回路であって、  
画像データを入力して記憶する記憶手段と、

前記記憶手段に記憶されているデータに基づいて、前記複数の信号電極に供給すべき複数の表示信号を生成する表示信号生成手段と、

第 1 のタイミング制御信号に基づいて、前記第 1 群の走査電極に供給すべき走査信号を順次生成する第 1 の走査信号生成手段と、

第 2 のタイミング制御信号に基づいて、前記第 2 群の走査電極に供給すべき走査信号を順次生成する第 2 の走査信号生成手段と、

前記第 1 の走査信号生成手段と前記第 2 の走査信号生成手段とが所定の順序で走査信号を生成するように、前記第 1 及び第 2 のタイミング制御信号を生成するタイミング制御手段と、  
を具備する半導体集積回路。

【請求項 6】 前記第 1 の走査信号生成手段と前記第 2 の走査信号生成手段とが、交互に走査信号を生成することを特徴とする請求項 1 ～ 5 のいずれか 1 項記載の半導体集積回路。

【請求項 7】 2 次元画像を表示する画像表示装置であって、

請求項 1 ～ 6 のいずれか 1 項記載の半導体集積回路と、

前記第 1 群の走査電極に供給される走査信号が、前記第 1 群の走査電極の一方  
向から入力され、前記第 2 群の走査電極に供給される走査信号が、前記第 2 群の  
走査電極の他の方向から入力されるように前記第 1 群及び第 2 群の走査電極が配  
置されているパネルと、

前記パネルと半導体集積回路とを実装するための基板と、  
を具備する画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶パネル等の表示装置を駆動するための半導体集積回路（ドライ  
バ I C）に関し、特に、MPU（マイクロプロセッサユニット）から入力される  
画像データを記憶するための RAM（ランダムアクセスメモリ）を内蔵した半導  
体集積回路に関する。さらに、本発明は、そのような半導体集積回路を用いた画  
像表示装置に関する。

【0002】

【従来の技術】

時計や携帯電話等の小型機器の表示部において、液晶パネルが広く利用されて  
いる。さらに、近年においては、表示すべき情報量が増加する一方、画面の小型  
化や、画面の見やすさ・美しさの向上が求められている。液晶パネル等の表示装  
置において、解像度の高い画像を表示するためには、1 つ 1 つの画素（ドット）  
のサイズを小さくして、単位面積当りの画素数を増やせば良い。そのためには、  
液晶パネルの信号電極の間隔や走査電極の間隔を狭くする必要がある。

【0003】

図 8 に、従来の液晶表示装置のレイアウトの一例を示す。図 8 において、ドラ  
イバ I C（X ドライバ）1 0 3 から表示信号 S 0 ～ S 1 5 を出力するための複数の  
出力端子が、基板 1 1 0 に形成された配線パターンを介して、液晶パネル 1 0  
5 のセグメント方向に並べられた複数の信号電極に接続されている。また、ドラ  
イバ I C（Y ドライバ）1 0 1 から走査信号 C 0 ～ C 7 を出力するための複数の

出力端子が、基板110に形成された配線パターンを介して、液晶パネル105のコモン方向に並べられた複数の走査電極に接続されている。同様に、ドライバIC(Yドライバ)102から走査信号C8~C15を出力するための複数の出力端子が、液晶パネル105のコモン方向に並べられた複数の走査電極に接続されている。

#### 【0004】

Xドライバ103には、MPU106が接続されており、Xドライバ103に内蔵されたRAM104が、MPU106から供給される画像データを記憶する。Xドライバ103は、RAM104に記憶された画像データに基づいて、表示信号S0~S15を生成して出力する。また、Xドライバ103は、走査信号を発生するタイミングを規定するクロック信号をYドライバ101及び102に供給する。これに基づいて、Yドライバ101及び102は、液晶パネル105の走査電極に走査信号C0~C7、C8~C15を順次供給し、液晶パネル105を走査する。

#### 【0005】

このような液晶パネルにおいて、単位面積当りの画素数を増やすと、電極のピッチを狭くしなければならない。しかしながら、電極のピッチを狭くしようとすると、電極に接続される配線パターンの配線ピッチが限界に達してしまい、それ以上の高密度化は困難であった。

#### 【0006】

これを解決するために、図9に示すようなレイアウトが提案されている。図9に示す液晶パネル115は、単位面積当りの画素数を増やすために、走査電極を図中左右に振り分けることにより走査電極の間隔を小さくしている。そのため、基板120において、走査信号C0~C7を供給するYドライバ111と、走査信号C8~C15を供給するYドライバ112とを、液晶パネル115の左右に配置している。このようなレイアウトにすれば、液晶パネル115に千鳥配線で配線パターンを接続することができるので、配線ピッチもあまり狭くならない。

#### 【0007】

ここで、千鳥配線とは、液晶パネル115の端子に配線パターンを接続する際



に、例えば奇数番目の走査電極は左側から、偶数番目の走査電極は右側からというように、左右又は上下から交互に行う配線をいう。この千鳥配線によれば、液晶パネル 1 1 5 の走査電極の間隔を半分にしても、プリント基板上の配線ピッチを従来のままにすることができる。

## 【 0 0 0 8 】

しかしながら、図 8 に示すようなレイアウトを図 9 に示すようなレイアウトに変更することに伴って、走査電極に走査信号が供給される順番も異なってしまう。即ち、Y ドライバからは走査信号 C 0 ~ C 7 が出力された後に走査信号 C 8 ~ C 1 5 が出力されるので、図 8 においては液晶パネルの上側のラインから下側のラインへと順に走査されるが、図 9 においては奇数番目のラインが走査された後で偶数番目のラインが走査されることになる。表示信号をこれに合わせるためには、X ドライバ 1 0 3 における R A M 1 0 4 のデータを変更しなくてはならない。従来は、このようなデータ変換を、M P U 1 0 6 において行っていた。しかしながら、このようなデータ変換を M P U で行うと、M P U に対する負荷が大きくなり、また、時間もかかってしまう。さらに、このような順序で走査信号が供給されると、画面の書き換えが行われる際に不自然に見えてしまう。

## 【 0 0 0 9 】

ところで、日本国特許出願公開（特開）平 2 - 1 8 1 3 号公報には、信号電極と走査電極とのマトリックスによって表示セルが構成され、この表示セルが走査電極方向に R G B の 3 原色単位で区分されて表示ドットが構成され、さらに、各ドットの R G B の配置が表示ライン単位でずらされて千鳥格子状に構成されるカラー液晶パネルと、供給される R G B 各色の階調制御信号と信号電極との位置関係をライン毎にずらして回転させる位置回転手段とを具備するカラー液晶表示装置が開示されている。しかしながら、このカラー液晶表示装置においては、R G B の配置が千鳥格子状になっているものの、走査電極の配線を千鳥配線としたものではない。

## 【 0 0 1 0 】

また、特開平 8 - 3 2 0 6 6 4 号公報には、X ドライブ回路及び Y ドライブ回路を一つの基板上に形成された T F T からなる回路によって構成することにより

、従来のようなＩＣチップ間のバラツキに起因した出力レベルのバラツキによってＦＰＮ（フィックスパターンノイズ）が生じるという問題がなく、シェーディングも生じない表示装置が開示されている。しかしながら、この表示装置は、画像データの変換における負担や画面の書き換え時における不自然さを解消するものではない。

#### 【 0 0 1 1 】

##### 【発明が解決しようとする課題】

そこで、上記の点に鑑み、本発明は、単位面積当りの画素数を増やすために走査電極を左右に振り分けたレイアウトにしても、画像データの変換が不要で順次ライン走査を行うことができる半導体集積回路及び画像表示装置を提供することを目的とする。

#### 【 0 0 1 2 】

##### 【課題を解決するための手段】

以上の課題を解決するため、本発明の第１の観点に係る半導体集積回路は、２次元画像を表示する画像表示装置の複数の信号電極に複数の表示信号をそれぞれ供給し、該画像表示装置の第１群の走査電極及び第２群の走査電極に走査信号を順次供給するための半導体集積回路であって、画像データを入力して記憶する記憶手段と、記憶手段に記憶されているデータに基づいて、複数の信号電極に供給すべき複数の表示信号を生成する表示信号生成手段と、画像表示装置の走査タイミングを規定するクロック信号に基づいて、第１群の走査電極に供給すべき走査信号を順次生成する第１の走査信号生成手段と、クロック信号に基づいて、第２群の走査電極に供給すべき走査信号を順次生成する第２の走査信号生成手段と、クロック信号を発生すると共に、第１の走査信号生成手段と第２の走査信号生成手段とが所定の順序で走査信号を生成するように、第１の走査信号生成手段を制御するための第１の制御信号と第２の走査信号生成手段を制御するための第２の制御信号とを生成するタイミング制御手段とを具備する。

#### 【 0 0 1 3 】

ここで、上記第１の走査信号生成手段が、クロック信号と第１の制御信号との論理積に基づいて、第１群の走査電極に供給すべき走査信号を生成し、上記第２

の走査信号生成手段が、クロック信号と第2の制御信号との論理積に基づいて、第2群の走査電極に供給すべき走査信号を生成するようにしても良い。

## 【0014】

また、本発明の第2の観点に係る半導体集積回路は、2次元画像を表示する画像表示装置の複数の信号電極に複数の表示信号をそれぞれ供給し、該画像表示装置の第1群の走査電極及び第2群の走査電極に走査信号を順次供給するための半導体集積回路であって、画像データを入力して記憶する記憶手段と、記憶手段に記憶されているデータに基づいて、複数の信号電極に供給すべき複数の表示信号を生成する表示信号生成手段と、画像表示装置の走査タイミングを規定するクロック信号を発生するタイミング制御手段と、クロック信号と第1の設定電位とに基づいて、第1群の走査電極に供給すべき走査信号を順次生成する第1の走査信号生成手段と、クロック信号と第2の設定電位とに基づいて、第2群の走査電極に供給すべき走査信号を順次生成する第2の走査信号生成手段とを具備する。

## 【0015】

例えば、第1と第2の設定電位の内の一方を電源電位とし、他方を接地電位とすることができる。

## 【0016】

さらに、本発明の第3の観点に係る半導体集積回路は、2次元画像を表示する画像表示装置の複数の信号電極に複数の表示信号をそれぞれ供給し、該画像表示装置の第1群の走査電極及び第2群の走査電極に走査信号を順次供給するための半導体集積回路であって、画像データを入力して記憶する記憶手段と、記憶手段に記憶されているデータに基づいて、複数の信号電極に供給すべき複数の表示信号を生成する表示信号生成手段と、第1のタイミング制御信号に基づいて、第1群の走査電極に供給すべき走査信号を順次生成する第1の走査信号生成手段と、第2のタイミング制御信号に基づいて、第2群の走査電極に供給すべき走査信号を順次生成する第2の走査信号生成手段と、第1の走査信号生成手段と第2の走査信号生成手段とが所定の順序で走査信号を生成するように、第1及び第2のタイミング制御信号を生成するタイミング制御手段とを具備する。

## 【0017】

以上において、上記第1の走査信号生成手段と上記第2の走査信号生成手段とが、交互に走査信号を生成することができる。

#### 【0018】

また、本発明に係る画像表示装置は、2次元画像を表示する画像表示装置であって、このような半導体集積回路と、第1群の走査電極に供給される走査信号が第1群の走査電極の一方向から入力され、第2群の走査電極に供給される走査信号が第2群の走査電極の他の方向から入力されるように第1群及び第2群の走査電極が配置されているパネルと、該パネルと半導体集積回路とを実装するための基板とを具備する。

#### 【0019】

上記構成によれば、半導体集積回路にタイミング制御手段を付加することにより、出力される走査信号の順序を切り替えることができる。従って、液晶パネルの走査電極を千鳥配線にした場合でも、RAMのデータを変更せずに、液晶パネルのラインを上側から順に走査することができる。従って、MPUに負荷をかけることがない。また、画面を書き換える際に、1つの画面を上から順に書き換えられるため、自然な表示となる。このような半導体集積回路を用いることにより、基板の配線ピッチを狭くすることなく、高密度化された液晶パネルを実装した画像表示装置を作成することが可能となる。

#### 【0020】

##### 【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態について説明する。なお、同一の構成要素には同一の参照番号を付して、説明を省略する。

図1に、本発明の一実施形態に係る画像表示装置のレイアウトの一例を示す。本実施形態においては、液晶表示装置を例にとって説明する。なお、本願において基板とは、透明絶縁基板、プリント基板、フレキシブル基板等、液晶表示パネル及びドライバICを実装して電氣的に配線を行うことが可能なものをいうが、本実施形態においてはガラス基板を用いるものとする。

#### 【0021】

図1に示すように、本実施形態に係る画像表示装置は、基板100と、基板1

00上に実装されたドライバIC1〜3と、液晶パネル5とを含んでいる。ドライバIC（Yドライバ）1及び2は、液晶パネル5を駆動するための走査信号を出力し、ドライバIC（Xドライバ）3は、液晶パネル5を駆動するための表示信号を出力する。また、Xドライバ3には、MPU（マイクロプロセッサユニット）6が接続されており、MPU6から出力された画像情報を表す画像データや、データの記憶領域を制御するアドレスや、書込み制御信号や読出し制御信号を含む各種の制御信号が、Xドライバ3に入力される。

#### 【0022】

液晶パネル5は、セグメント方向において複数の領域を有し、コモン方向においても複数の領域を有している。ここで、セグメント方向の1つの領域とコモン方向の1つの領域を特定することにより、1つの画素（ドット）が特定される。一例としては、液晶パネル5が、セグメント方向において160個の領域を有し、コモン方向において120個の領域を有する。この場合には、液晶パネル5は、160×120の画素を有することになる。

#### 【0023】

これらの領域に電圧を印加するため、液晶パネル5には、セグメント方向に複数の信号電極が並べられ、コモン方向に複数の走査電極が並べられている。これらの信号電極はXドライバ3に設けられた複数の出力端子に接続され、これらの走査電極はYドライバ1及び2に設けられた複数の出力端子に接続されている。

#### 【0024】

図1に示すように、Xドライバ3は、MPU6から供給される画像データを記憶するRAM（ランダムアクセスメモリ）4を有している。Xドライバは、RAM4に記憶されている画像データに基づいて、液晶パネル5のセグメント方向に並べられた複数の信号電極に供給するための表示信号S0〜S15を生成する。また、Yドライバ1及び2は、Xドライバ3から供給されるラインパルスに従って、液晶パネル5を走査するための走査信号C0、C2、・・・C14、及び、C1、C3、・・・、C15を生成し、液晶パネル5のコモン方向に並べられた複数の走査電極にそれぞれ供給する。ここで、図1に示すように、走査信号C0、C2、・・・、C14は図中の左側から液晶パネル5に入力され、走査信号C

1、C 3、・・・、C 1 5は図中の右側から液晶パネル5に入力されるように配線されている。また、表示信号S 0、S 1、・・・、S 1 5は、図中の下側から液晶パネル5に入力されるように配線されている。なお、これらの配線には、透明な材料が用いられる。

【 0 0 2 5 】

図2に、本発明の第1の実施形態に係る半導体集積回路の構成を示す。図2に示すように、Xドライバ3は、MPU6との接続を行うためのMPUインタフェース7と、RAM4と、RAM4における画像データの記憶領域を制御するアドレス制御回路8と、液晶パネルに表示信号を供給するための信号側駆動回路9とを含んでいる。さらに、Xドライバ3は、表示信号及び走査信号の出力タイミングを制御するタイミング制御回路19を含んでいる。

【 0 0 2 6 】

RAM4は、MPU6から入力された画像データを記憶する。RAM4における画像データの記憶領域は、MPU6から入力されたアドレスに従って、アドレス制御回路8によって指定される。また、信号側駆動回路9は、RAM4から入力された画像データに基づいて、表示信号S 0、S 1、・・・、S 1 5を生成する。

【 0 0 2 7 】

タイミング制御回路19は、信号側駆動回路9における表示信号の出力タイミングを制御する。また、タイミング制御回路19は、Yドライバ1及び2における走査信号の出力タイミングを制御する。このため、タイミング制御回路19は、ライン走査のタイミングを規定するクロック信号であるラインパルスLPをYドライバ1及び2に供給し、通常配線であるか千鳥配線であるかに応じて走査信号C 0～C 1 5の出力順序を制御するために、制御信号ENB 1をYドライバ1に供給し、制御信号ENB 2をYドライバ2に供給する。

【 0 0 2 8 】

Yドライバ1は、シフトレジスタ13と走査側駆動回路15とを含み、Yドライバ2は、シフトレジスタ14と走査側駆動回路16とを含んでいる。千鳥配線の場合には、シフトレジスタ13が、制御信号ENB 1に従って、ラインパルス

LPの奇数番目のパルスに同期して出力端子SH1～SH8に信号を順次出力し、シフトレジスタ14が、制御信号ENB2に従って、ラインパルスLPの偶数番目のパルスに同期して出力端子SH1～SH8に信号を順次出力する。なお、通常配線の場合には、シフトレジスタ13が、ラインパルスLPの各パルスに同期して出力端子SH1～SH8に信号を順次出力し、その後、シフトレジスタ14が、ラインパルスLPの各パルスに同期して出力端子SH8～SH1に信号を順次出力する。

#### 【0029】

以下、千鳥配線の場合について説明する。走査側駆動回路15は、シフトレジスタ13の出力端子SH1～SH8から出力される信号に基づいて、奇数番目の走査電極に供給するための走査信号C0、C2、・・・、C14を順次出力する。一方、走査側駆動回路16は、シフトレジスタ14の出力端子SH1～SH8から出力される信号に基づいて、偶数番目の走査電極に供給するための走査信号C1、C3、・・・、C15を順次出力する。

#### 【0030】

次に、本実施形態に係るドライバICの動作について、図2及び図3を参照しながら説明する。図3は、図2に示す半導体集積回路における各種信号のタイミングチャートである。

#### 【0031】

図3においては、タイミング制御回路19から出力されるラインパルスLPと、タイミング制御回路19からYドライバ1及び2にそれぞれ出力される制御信号ENB1及びENB2と、Yドライバ1及び2からそれぞれ出力される走査信号のタイミング関係が示されている。

#### 【0032】

図3に示すように、1画面の走査が開始されると、タイミング制御回路19は、ラインパルスに同期して、制御信号ENB1とENB2を交互にハイレベルにする。Yドライバ1において、シフトレジスタ13は、制御信号ENB1がハイレベルである間にクロック信号が入力されると、これに同期して出力端子SH1～SH8に信号を順次出力する。これに基づいて、走査側駆動回路15は、奇数

番目の走査電極に供給するための走査信号C 0、C 2、・・・、C 1 4を順次出力する。また、シフトレジスタ1 4は、制御信号E N B 2がハイレベルである間にクロック信号が入力されると、これに同期して出力端子S H 1～S H 8に信号を順次出力する。これに基づいて、走査側駆動回路1 6は、偶数番目の走査電極に供給するための走査信号C 1、C 3、・・・、C 1 5を順次出力する。このような動作は、制御信号とクロック信号との論理積をとることによって行うことができる。

#### 【0033】

その結果、走査信号は走査側駆動回路1 5、1 6から交互に、C 0、C 1、C 2、C 3、・・・C 1 4、C 1 5の順に出力され、液晶パネル5（図1参照）は、図の上側から下側へ順に走査される。

#### 【0034】

次に、本発明の第2の実施形態に係る半導体集積回路について説明する。本実施形態においては、Yドライバを液晶パネルの左側に配置するか右側に配置するかに応じた設定電位をYドライバに印加するように予め配線しておくことにより、走査信号C 0～C 1 5の出力順序を制御するようにしたものである。さらに、通常配線であるか千鳥配線であるかに応じた設定電位をドライバICに印加するようにしても良い。

#### 【0035】

図4に、本実施形態に係る半導体集積回路の構成を示す。図4に示すように、Xドライバ2 3は、MP Uインタフェース7と、RAM 4と、信号側駆動回路9とを含んでいる。さらに、Xドライバ3は、表示信号及び走査信号の出力タイミングを制御するタイミング制御回路2 9を含んでいる。

#### 【0036】

Yドライバ2 1は、シフトレジスタ1 3と、シフトレジスタの動作を制御するシフトレジスタ制御回路2 7と、シフトレジスタ1 3の出力信号に基づいて液晶パネルの走査電極に走査信号を出力する走査側駆動回路1 5とを含んでいる。また、Yドライバ2 2は、シフトレジスタ1 4と、シフトレジスタの動作を制御するシフトレジスタ制御回路2 8と、シフトレジスタ1 4の出力信号に基づいて液



晶パネルの走査電極に走査信号を出力する走査側駆動回路 1 6 とを含んでいる。

【 0 0 3 7 】

液晶パネルの左側に配置するか右側に配置するかに応じた設定電位 P O S 1 と  
して、シフトレジスタ制御回路 2 7 には「左側」を示す電源電位  $V_{DD}$  が接続さ  
れ、シフトレジスタ制御回路 2 8 には「右側」を示す接地電位 G N D が接続され  
ている。また、通常配線であるか千鳥配線であるかに応じた設定電位 P O S 2 と  
して、シフトレジスタ制御回路 2 7 及び 2 8 には、「千鳥配線」を示す接地電位  
G N D が接続されている。シフトレジスタ制御回路 2 7 及び 2 8 は、これらの設  
定電位及びラインパルス L P に基づいて、制御信号 E N B 1 及び E N B 2 をそれ  
ぞれ発生する。なお、1 画面の走査開始タイミングを与えるためには、例えば、  
ラインパルス L P として特殊なパルスをシフトレジスタ制御回路 2 7 及び 2 8 に  
供給すれば良い。

【 0 0 3 8 】

次に、本実施形態に係るドライバ I C の動作について、図 4 及び図 5 を参照し  
ながら説明する。図 5 は、図 4 に示す半導体集積回路における各種信号のタイミ  
ングチャートである。

【 0 0 3 9 】

X ドライバ 3 に含まれているタイミング制御回路 2 9 は、図 5 に示すように、  
1 画面の走査の開始を示す特殊なパルス（図 5 においては期間の長いパルス）を  
1 回出力した後、走査タイミングを示す通常のパルスを繰り返し出力する。シフ  
トレジスタ制御回路 2 7 及び 2 8 は、期間の長いパルスが印加されると、P O S  
1 の電位を出力としてセットする。これによって、シフトレジスタ制御回路 2 7  
の出力はハイレベルとなり、シフトレジスタ制御回路 2 8 の出力はローレベルと  
なる。その後、シフトレジスタ制御回路 2 7 及び 2 8 は、通常のパルスの立下り  
エッジにおいて出力を反転する。このようにして、制御信号 E N B 1 及び E N B  
2 が生成される。シフトレジスタ 1 3 及び 1 4 と、走査側駆動回路 1 5 及び 1 6  
の動作については、第 1 の実施形態と同様である。なお、設定電位 P O S 2 とし  
て、「通常配線」を示す電源電位  $V_{DD}$  が接続されている場合には、例えば、必  
要な走査期間においてハイレベルとなる信号を制御信号 E N B 1 及び E N B 2 と

して出力する。

【0040】

次に、本発明の第3の実施形態に係る半導体集積回路について説明する。図6に示すように、Xドライバ33は、MPUインタフェース7と、RAM4と、アドレス制御回路8と、信号側駆動回路9とを含んでいる。さらに、Xドライバ33は、タイミング制御回路39を含んでいる。

【0041】

タイミング制御回路39は、信号側駆動回路9における表示信号の出力タイミングを制御する。また、タイミング制御回路39は、Yドライバ31及び32における走査信号の出力タイミングを制御する。このため、タイミング制御回路39は、Yドライバ31におけるライン走査のタイミングを規定するクロック信号であるラインパルスLP1をYドライバ1に出力し、Yドライバ32におけるライン走査のタイミングを規定するクロック信号であるラインパルスLP2をYドライバ32に出力する。

【0042】

Yドライバ31は、シフトレジスタ35と走査側駆動回路15とを含み、Yドライバ32は、シフトレジスタ36と走査側駆動回路16とを含んでいる。シフトレジスタ35は、ラインパルスLP1に同期して出力端子SH1～SH8に信号を順次出力し、シフトレジスタ36は、ラインパルスLP2に同期して出力端子SH1～SH8に信号を順次出力する。

【0043】

走査側駆動回路15は、シフトレジスタ35の出力端子SH1～SH8から出力される信号に基づいて、奇数番目の走査電極に供給するための走査信号C0、C2、・・・、C14を順次出力する。一方、走査側駆動回路16は、シフトレジスタ36の出力端子SH1～SH8から出力される信号に基づいて、偶数番目の走査電極に供給するための走査信号C1、C3、・・・、C15を順次出力する。

【0044】

次に、本実施形態に係るドライバICの動作について、図6及び図7を参照し

ながら説明する。図7は、図6に示す半導体集積回路における各種信号のタイミングチャートである。

【0045】

図7においては、ライン走査のタイミングを規定するクロック信号であるラインパルスLPと、タイミング制御回路39がYドライバ31及び32に供給するタイミング制御信号LP1及びLP2と、Yドライバ31及び32から出力される走査信号とのタイミング関係が示されている。

【0046】

タイミング制御回路39は、1画面の走査が開始されると、ラインパルスLPに同期して、タイミング制御信号LP1及びLP2を交互に出力する。シフトレジスタ35は、入力されたタイミング制御信号LP1に同期して、出力端子SH1～SH8から信号を順次出力する。これに基づいて、走査側駆動回路15は、奇数番目の走査電極に供給するための走査信号C0、C2、・・・を順次出力する。また、シフトレジスタ36は、入力されたタイミング制御信号LP2に同期して、出力端子SH1～SH8から信号を順次出力する。これに基づいて、走査側駆動回路16は、偶数番目の走査電極に供給するための走査信号C1、C3、・・・を順次出力する。図7に示すように、タイミング制御信号LP1及びLP2は交互に出力されるので、結局、走査信号はC0、C1、C2、C3、・・・の順に出力され、液晶パネル5（図1参照）は上側から下側へ順に走査される。

【0047】

【発明の効果】

以上述べたように、本発明によれば、半導体集積回路にタイミング制御回路を付加することにより、出力される走査信号の順序を切り替えることができる。従って、液晶パネルの走査電極を千鳥配線にした場合でも、RAMのデータを変更せずに、液晶パネルのラインを上側から順に走査することができる。従って、MPUに負荷をかけることがない。また、画面を書き換える際に、1つの画面を上から順に書き換えられるため、自然な表示となる。このような半導体集積回路を用いることにより、基板の配線ピッチを狭くすることなく、高密度化された液晶

パネルを実装した画像表示装置を作成することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る画像表示装置のレイアウトの一例を示す図である。

【図 2】

本発明の第 1 の実施形態に係る半導体集積回路の構成を示すブロック図である。

【図 3】

図 2 に示す半導体集積回路における各種信号のタイミングチャートである。

【図 4】

本発明の第 2 の実施形態に係る半導体集積回路の構成を示すブロック図である。

【図 5】

図 4 に示す半導体集積回路における各種信号のタイミングチャートである。

【図 6】

本発明の第 3 の実施形態に係る半導体集積回路の構成を示すブロック図である。

【図 7】

図 6 に示す半導体集積回路における各種信号のタイミングチャートである。

【図 8】

液晶パネルとドライバ IC とを通常配線により配線した従来の液晶表示装置のレイアウト図である。

【図 9】

液晶パネルとドライバ IC とを千鳥配線により配線した従来の液晶表示装置のレイアウト図である。

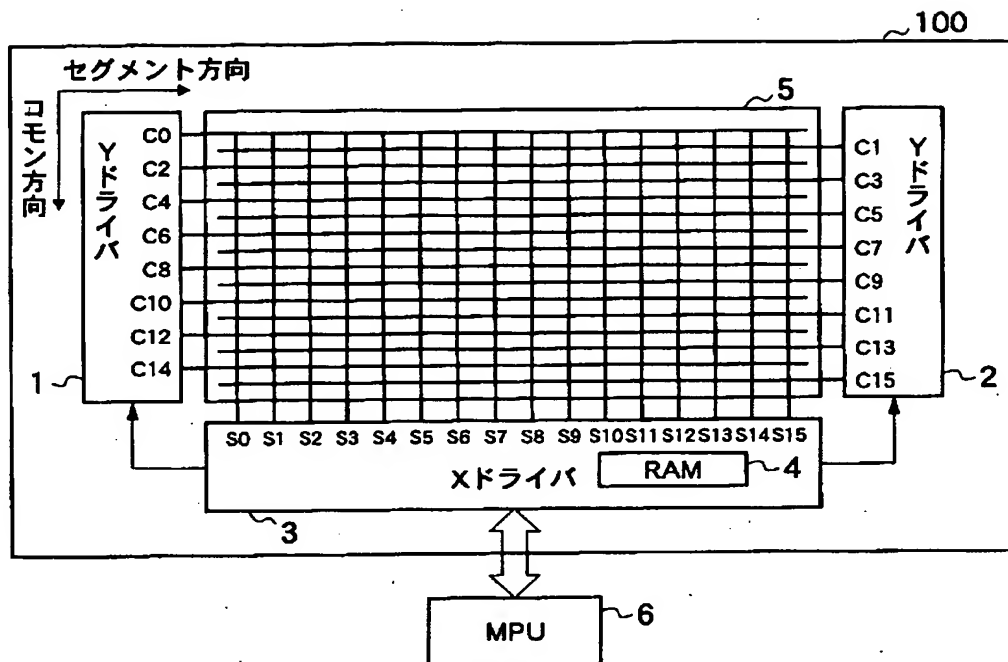
【符号の説明】

- 1、2、21、22、31、32 Yドライバ
- 3、23、33 Xドライバ
- 4 RAM (ランダムアクセスメモリ)

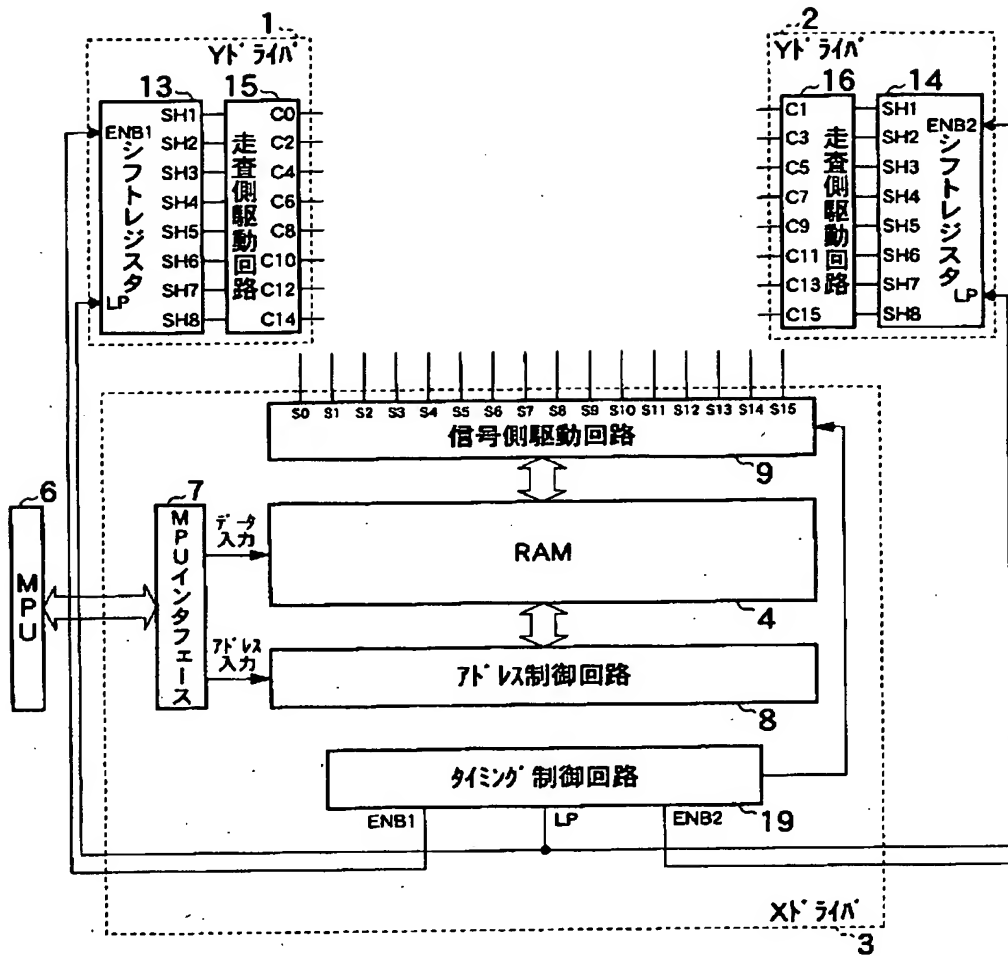
- 5 液晶パネル
- 6 MPU (マイクロプロセッサユニット)
- 7 MPUインタフェース
- 8 アドレス制御回路
- 9 信号側駆動回路
- 13、14、35、36 シフトレジスタ
- SH1～SH8 シフトレジスタの出力端子
- 15、16 走査側駆動回路
- 19、29、39 タイミング制御回路
- 27、28 シフトレジスタ制御回路
- 100 基板

【書類名】 図面

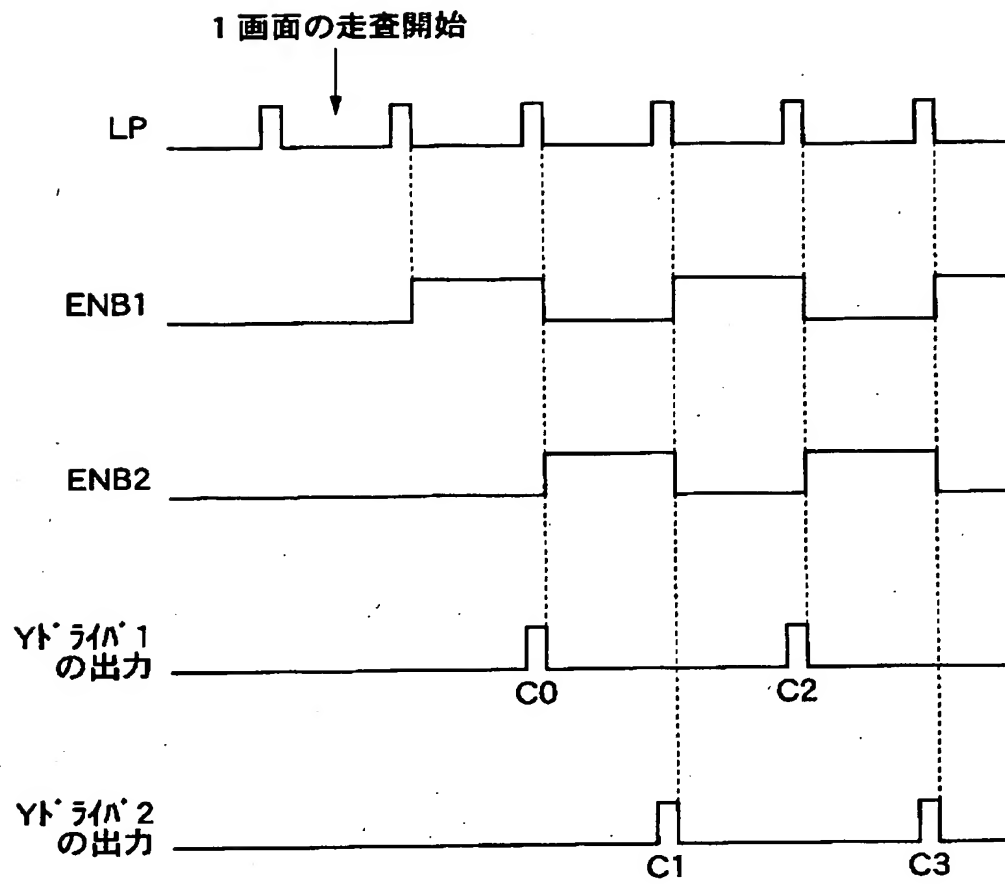
【図 1】



【図 2】

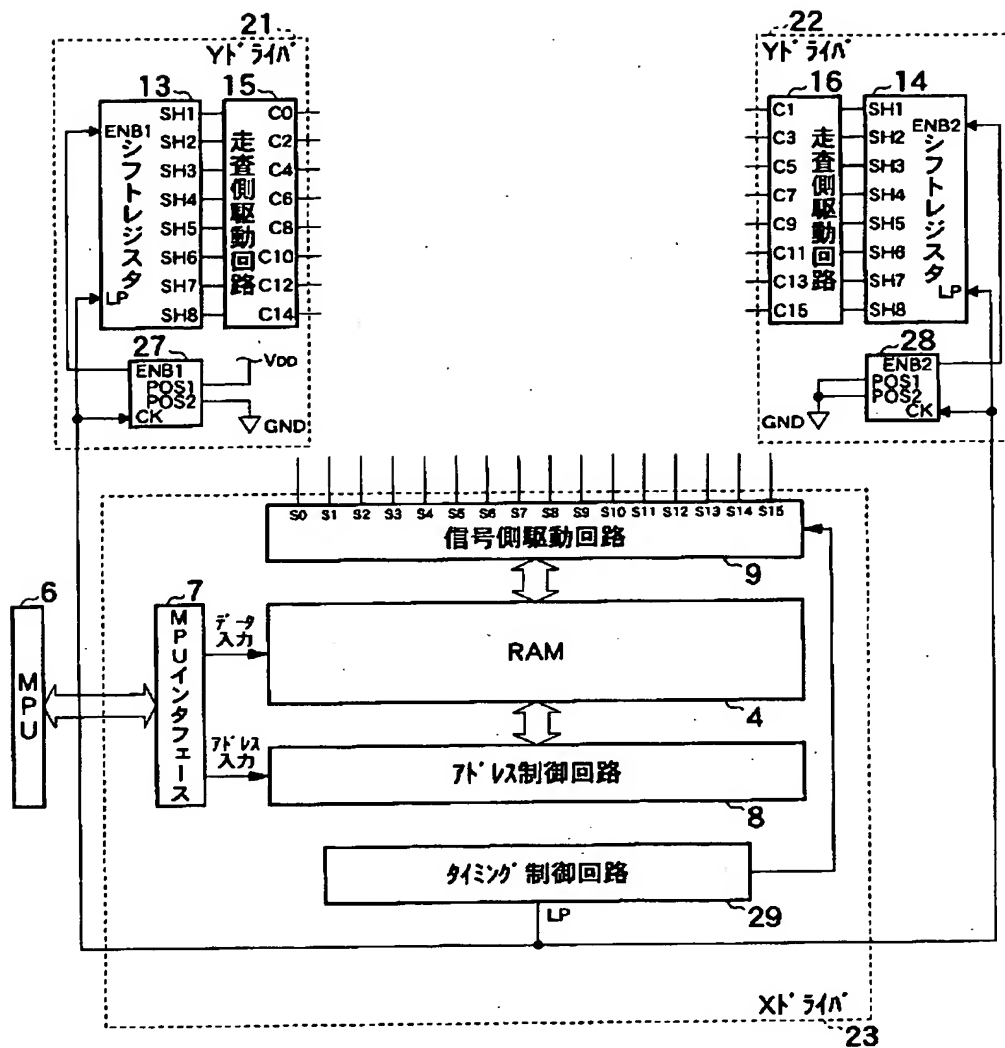


【図3】

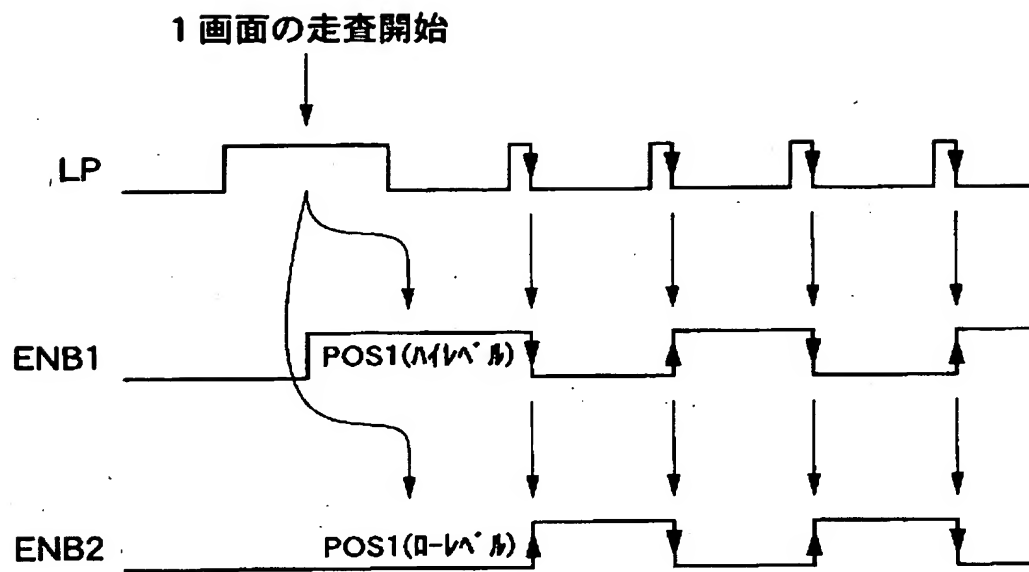




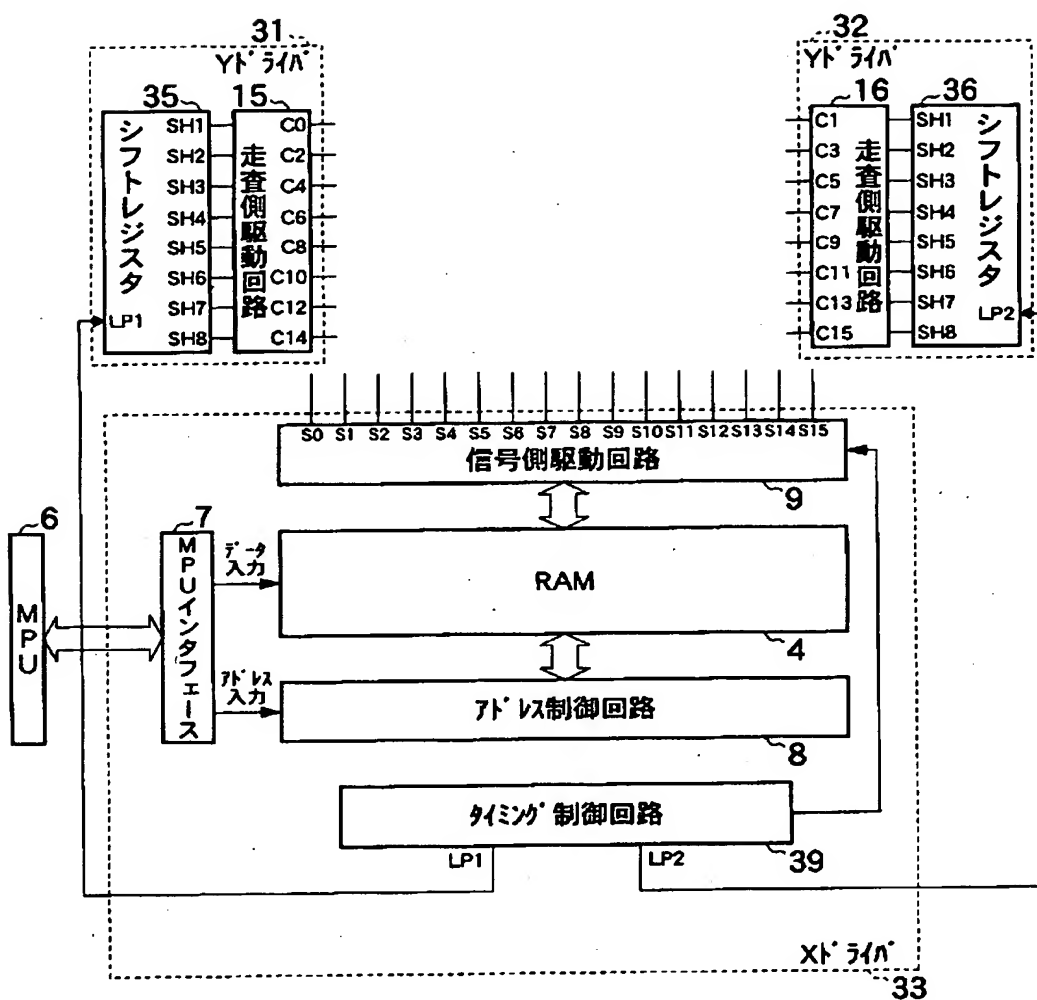
【図 4】



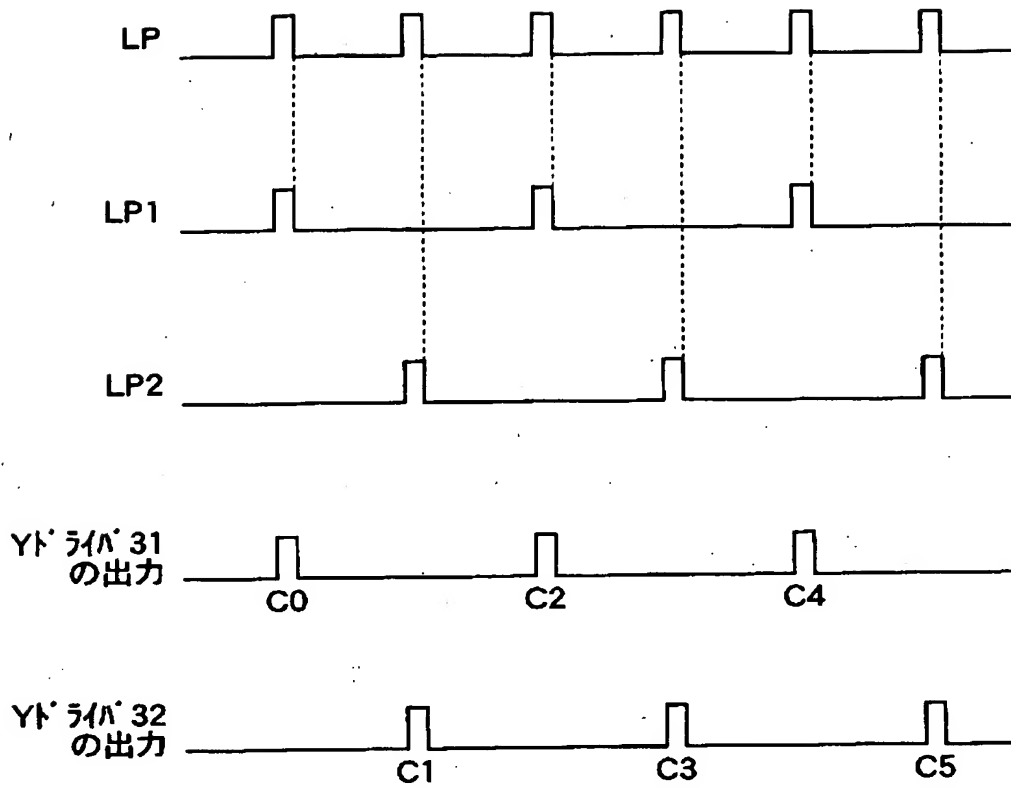
【図5】



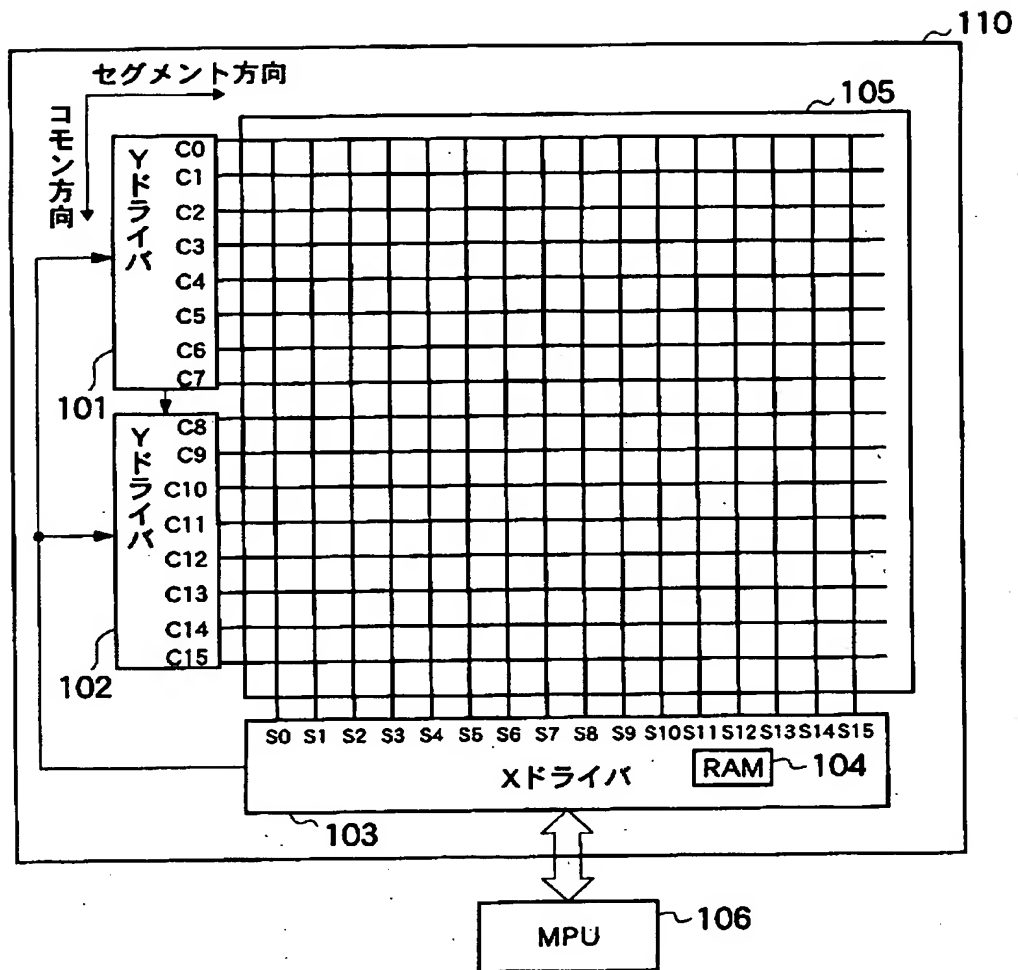
【図 6】



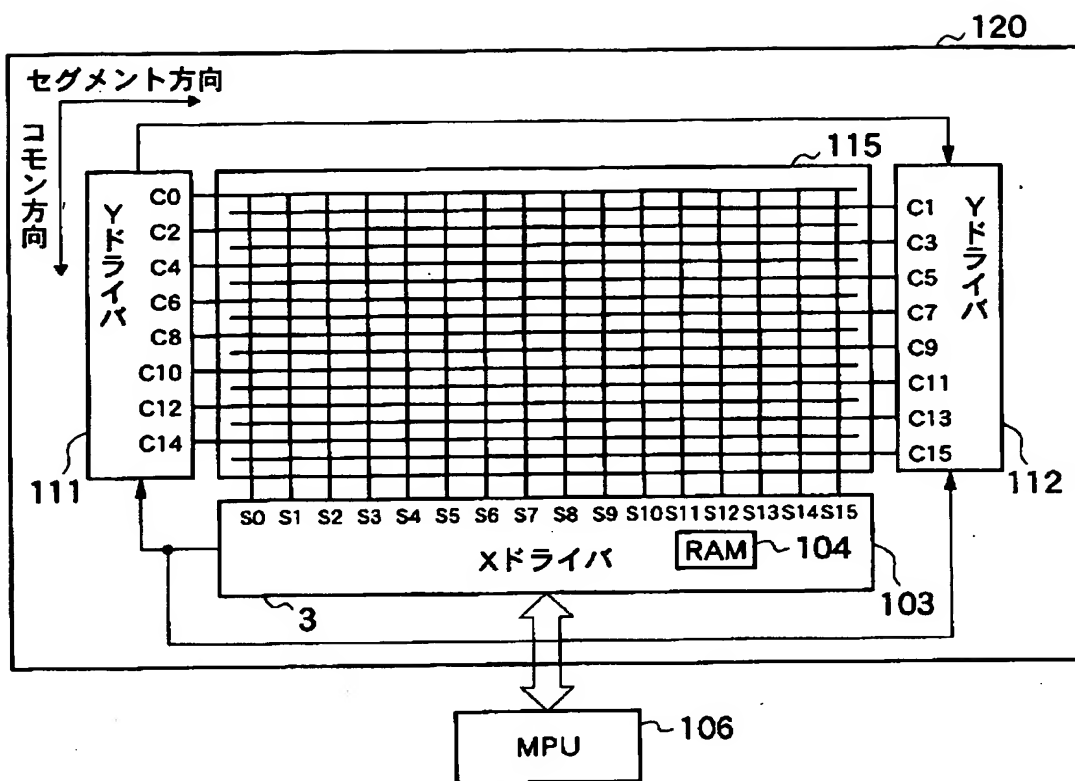
【図 7】



【図 8】



【図9】



【書類名】 要約書

【要約】

【課題】 単位面積当りの画素数を増やすために走査電極を左右に振り分けたレイアウトにしても、画像データの変換が不要で順次ライン走査を行うことができる半導体集積回路等を提供する。

【解決手段】 画像データを入力して記憶する記憶手段4と、複数の表示信号を生成する表示信号生成手段9と、クロック信号に基づいて第1群の走査電極に供給すべき走査信号を順次生成する第1の走査信号生成手段1と、クロック信号に基づいて第2群の走査電極に供給すべき走査信号を順次生成する第2の走査信号生成手段2と、クロック信号を発生すると共に、第1の走査信号生成手段と第2の走査信号生成手段とが所定の順序で走査信号を生成するように第1及び第2の制御信号を生成するタイミング制御手段19とを具備する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**